

Bit synchronizing circuit

Patent Number: ☐ US5909473
Publication date: 1999-06-01
Inventor(s): BABA MITSUO (JP); AOKI YASUSHI (JP); KATAYAMA ATSUSHI (JP)
Applicant(s): NIPPON ELECTRIC CO (JP)
Requested Patent: ☐ JP9233061
Application Number: US19970806480 19970227
Priority Number(s): JP19960039329 19960227
IPC Classification: H03D3/24
EC Classification: H04L7/033E
Equivalents: JP2806863B2

Abstract

In a bit synchronizing circuit, the oscillating operation is prevented in the phase synchronizing stage such that even the reception data including a phase variation such as a jitter component can be appropriately reproduced. A phase comparator compares the phase of reception data with that of each of the n-phase clock signals to produce clock phase information. An averaging circuit obtains mean value data of the clock phase information. D-type flip flop circuits achieve sampling operations of the reception data and latch therein n sampling data items to be thereafter outputted. A data selector selects one of the n sampling data items according to the mean value data of clock phase information and delivers therefrom the selected item as selection data. A clock selector selects one of the n-phase clock signals in association with the average data of clock phase information and then outputs the selected item as an extraction clock signal.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-233061

(43) 公開日 平成9年(1997)9月5日

(51) Int.Cl.⁶

H 0 4 L 7/02

識別記号

庁内整理番号

F I

H 0 4 L 7/02

技術表示箇所

Z

審査請求 有 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平8-39329

(22) 出願日 平成8年(1996)2月27日

(71) 出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 青木 泰

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 馬場 光男

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

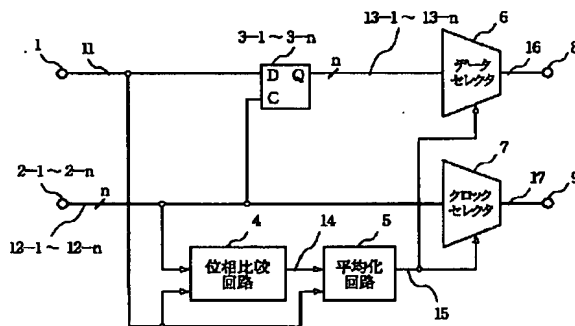
最終頁に続く

(54) 【発明の名称】 ビット同期回路

(57) 【要約】

【課題】位相同期過程での発振動作を除去しジッタ等の位相変動を有する受信データ入力時の場合でも誤り無く受信データを再現する。

【解決手段】位相比較回路4は受信データ11とn相クロック12-1~12-nとの位相比較を行ないクロック相情報14を出力する。平均化回路5はクロック相情報14の平均値データ15を演算し出力する。D型フリップフロップ3-1~3-nは受信データ11のサンプリングを行ないn個のサンプリングデータ13-1~13-nをラッチし出力する。データセクタ6はn個のサンプリングデータ13-1~13-nの中からクロック相情報14の平均値データ15に対応するサンプリングデータを選択データ16として出力する。クロックセクタ7はn相クロック12-1~12-nの中からクロック相情報14の平均値データ15に対応するn相クロックを抽出クロック17として出力する。



【特許請求の範囲】

【請求項1】 受信データを n 種 (n は2以上の整数)の多相クロックで各々ラッチし n 個のサンプリングデータを生成するサンプリング手段と、前記受信データおよび前記 n 種の多相クロックによりこれらの位相差が180度近傍になる多相クロックを示すクロック相情報を求める位相比較手段と、この位相比較手段が出力する前記クロック相情報の平均値を算出する平均化手段と、この平均化手段が出力する選択信号により前記 n 個のサンプリングデータから前記クロック相情報が示すサンプリングデータを10 選択するデータ選択手段と、前記選択信号により前記クロック相情報が示す多相クロックを選択するクロック選択手段とを備えたことを特徴とするビット同期回路。

【請求項2】 受信データと同一周波数で位相が順次360度/ n (n は2以上の整数)ずつ遅延した n 種の多相クロックにより、前記受信データを各々ラッチし n 個のサンプリングデータを生成するサンプリング手段と；前記受信データおよび前記 n 種の多相クロックを入力し、これら多相クロックのうち前記受信データの変化点20 の位相に対し180度近傍の位相差を有する多相クロックを示すクロック相情報を求める位相比較手段と；この位相比較手段が出力した前記クロック相情報の時系列的な平均値を算出する平均化手段と；この平均化手段が出力する選択信号により前記 n 個のサンプリングデータから前記クロック相情報が示すサンプリングデータを選択するデータ選択手段と；前記選択信号により前記 n 種の多相クロックから前記クロック相情報が示す多相クロックを選択するクロック選択手段と；を備えたことを特徴とするビット同期回路。

【請求項3】 前記位相比較手段が、前記受信データの立ち上がりエッジまたは立ち下がりエッジを使用して前記 n 種の多相クロックを各々ラッチする n 個のラッチ手段と、これらラッチ手段が出力する n 個のラッチ出力から前記クロック相情報を出力する符号化器とを備えたことを特徴とする請求項1または請求項2記載のビット同期回路。

【請求項4】 前記平均化手段が、前記クロック相情報および記憶情報を減算する減算器と、この減算器が出力する減算結果に重み付けをする重み付け部と、この重み付け部が出力する重み付け情報に前記記憶情報を加算する加算器と、この加算器が出力する加算情報を前記受信データのタイミングで記憶する記憶部と、この記憶部が出力する前記記憶情報を四捨五入する数値演算部とを備えたことを特徴とする請求項1、2または請求項3記載のビット同期回路。

【請求項5】 前記サンプリング手段がD型フリップフロップで構成したことを特徴とする請求項1または請求項2記載のビット同期回路。

【請求項6】 前記ラッチ手段がD型フリップフロップ

で構成したことを特徴とする請求項3記載のビット同期回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はビット同期回路に関し、特に受信データと多相クロックとの位相比較結果を使用して位相同期をとるビット同期回路に関する。

【0002】

【従来の技術】最近のデジタル伝送技術の進展には目を見張るものがある。こうしたデジタル伝送において、送信されたデジタル信号を受信側で抽出し再生する技術の一つにビット同期技術が有る。

【0003】宇宙通信分野のみならず特に広帯域ISDN (Integrated Services Digital Network) システムの伝送装置等において、位相変動を有するデジタル信号を誤り無く受信することが要求される。

【0004】一般に、同一クロック源から供給されるクロックで動作しているすなわち周波数同期がとれている複数の装置間でデジタル信号を送信する際に使用されるビット同期回路として、多相クロックを使用したデジタルフェイズロックドループ(DPLL)回路が知られている。

【0005】このようなビット同期技術の一例として、特開昭62-43919号公報記載の「多相クロックによるPLL回路」が知られている。

【0006】図7は従来のビット同期回路を示すブロック図である。

【0007】従来のビット同期回路は、受信データ11を入力するデータ入力端子1と、受信データ11および抽出クロック48の位相を比較する位相比較回路45と、位相比較回路45が出力する位相比較信号をカウントするアップダウンカウンタ46と、 n 相クロック12-1~12- n を入力するクロック入力端子2-1~2- n と、 n 相クロック12-1~12- n を選択するクロックセレクタ47と、クロックセレクタ47が選択した抽出クロック48を出力するクロック出力端子9とから構成されている。

【0008】次に、図7を参照して動作を説明する。

【0009】クロックセレクタ47には受信データ11と周波数が同一で位相が順次360°/ n (n は2以上の整数)ずつずれた n 相クロック12-1~12- n が入力されている。クロックセレクタ47はアップダウンカウンタ46のカウント値に対応するクロックを、 n 相クロック12-1~12- n から選択し、抽出クロック48としてクロック出力端子9に出力する。

【0010】位相比較回路45は受信データ11と抽出クロック48との位相を比較し位相比較信号をアップダウンカウンタ46に出力する。アップダウンカウンタ46は位相比較結果に基づいてカウント値のインクリメントおよびデクリメントを行ない、クロックセレクタ47

の選択制御を行なう。

【0011】この一連の動作を繰り返すことにより受信データ11に対し位相同期した抽出クロック48を得ることができる。

【0012】

【発明が解決しようとする課題】上述した従来のビット同期回路は、抽出したクロックが位相比較回路にフィードバックされているため、位相制御信号の伝播遅延時間すなわち位相比較結果を示す位相比較信号がクロックセレクトまで伝播する時間が、位相比較を行なう1周期の時間より大きい場合、位相同期動作が収束せず発振するという欠点を有している。

【0013】また、ジッタ等の短周期位相変動を有する受信データが入力された場合、受信データの位相変動に対応して抽出クロックの位相が変動するので、位相制御信号の伝播遅延時間の時間ずれにより、受信データと抽出クロックとの位相同期性が失なわれるという欠点を有している。

【0014】本発明の目的は、発振の原因となるフィードバックループ構成を使用せずに位相同期を行ない、ジッタ等の位相変動を有する受信データに対しても位相同期した抽出クロックを得るとともに、リタイミング誤りのない抽出データを得ることができるビット同期回路を提供することにある。

【0015】

【課題を解決するための手段】本発明のビット同期回路は、受信データを n 種(n は2以上の整数)の多相クロックで各々ラッチし n 個のサンプリングデータを生成するサンプリング手段と、前記受信データおよび前記 n 種の多相クロックによりこれらの位相差が180度近傍になる多相クロックを示すクロック相情報を求める位相比較手段と、この位相比較手段が出力する前記クロック相情報の平均値を算出する平均化手段と、この平均化手段が出力する選択信号により前記 n 個のサンプリングデータから前記クロック相情報が示すサンプリングデータを選択するデータ選択手段と、前記選択信号により前記クロック相情報が示す多相クロックを選択するクロック選択手段とを備えたことを特徴としている。

【0016】また、受信データと同一周波数で位相が順次360度/ n (n は2以上の整数)ずつ遅延した n 種の多相クロックにより、前記受信データを各々ラッチし n 個のサンプリングデータを生成するサンプリング手段と；前記受信データおよび前記 n 種の多相クロックを入力し、これら多相クロックのうち前記受信データの変化点の位相に対し180度近傍の位相差を有する多相クロックを示すクロック相情報を求める位相比較手段と；この位相比較手段が出力した前記クロック相情報の時系列的な平均値を算出する平均化手段と；この平均化手段が出力する選択信号により前記 n 個のサンプリングデータ

択するデータ選択手段と；前記選択信号により前記 n 種の多相クロックから前記クロック相情報が示す多相クロックを選択するクロック選択手段と；を備えたことを特徴としている。

【0017】前記位相比較手段が、前記受信データの立ち上がりエッジまたは立ち下がりエッジを使用して前記 n 種の多相クロックを各々ラッチする n 個のラッチ手段と、これらラッチ手段が出力する n 個のラッチ出力から前記クロック相情報を出力する符号化器とを備えたことを特徴としている。

【0018】前記平均化手段が、前記クロック相情報および記憶情報を減算する減算器と、この減算器が出力する減算結果に重み付けをする重み付け部と、この重み付け部が出力する重み付け情報に前記記憶情報を加算する加算器と、この加算器が出力する加算情報を前記受信データのタイミングで記憶する記憶部と、この記憶部が出力する前記記憶情報を四捨五入する数値演算部とを備えたことを特徴としている。

【0019】前記サンプリング手段がD型フリップフロップで構成したことを特徴としている。

【0020】前記ラッチ手段がD型フリップフロップで構成したことを特徴としている。

【0021】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0022】図1は本発明のビット同期回路の一つの実施の形態を示すブロック図である。

【0023】図1に示す本実施の形態は、受信データ11を入力するデータ入力端子1と、 n 相クロック12-1~12- n を入力するクロック入力端子2-1~2- n と、受信データ11および n 相クロック12-1~12- n の位相を比較する位相比較回路4と、受信データ11および位相比較回路4が出力するクロック相情報14から平均値データ15を出力する平均化回路5と、 n 相クロック12-1~12- n の各々のクロックにより受信データ11をラッチし保持するD型フリップフロップ3-1~3- n と、各々のD型フリップフロップ3-1~3- n が出力するサンプリングデータ13-1~13- n から平均値データ15に対応するクロックでサンプリングされたデータを選択するデータセレクト6と、データセレクト6が選択した選択データ16を出力するデータ出力端子8と、 n 相クロック12-1~12- n から平均値データ15に対応するクロックを選択するクロックセレクト7と、クロックセレクト7が選択した抽出クロック17を出力するクロック出力端子9とから構成されている。

【0024】なお、図1において図7に示す構成要素に対応するものは同一の参照数字または符号を付し、その説明を省略する。

【0025】次に、本実施の形態の動作を詳細に説明す

る。

【0026】データ入力端子1から入力される受信データ11はD型フリップフロップ3-1~3-n (nは2以上の整数) のデータ入力(D)に入力される。D型フリップフロップ3-1~3-nのクロック入力(C)にはそれぞれに対応するn相クロック12-1~12-nが入力されており、これらのクロックにより受信データ11のサンプリングを行ない、n個のサンプリングデータ13-1~13-nをラッチし出力する。

【0027】ここでn相クロックとは、受信データ11の周波数と同一周波数でかつ位相が互いに360°/nずつ順次ずれた各々のクロックを意味する。

【0028】位相比較回路4は受信データ11の立ち上がりエッジと各々のn相クロック12-1~12-nの立ち上がりエッジとの位相比較を行ない、n相クロック12-1~12-nの中から受信データ11の変化点の位相に対してほぼ180°の位相差を有する抽出用クロックを求め、この抽出用クロック番号を示すクロック相情報14を平均化回路5に出力する。

【0029】平均化回路5はクロック相情報14の過去から現在までの平均値を算出し平均値データ15として出力する。

【0030】データセクタ6はn個のサンプリングデータ13-1~13-nの中から、クロック相情報14の平均値データ15に対応する抽出用クロックでサンプリングしたサンプリングデータを選択し、選択データ16としてデータ出力端子8に出力する。

【0031】クロックセクタ7はn相クロック12-1~12-nの中から、クロック相情報14の平均値データ15に対応する抽出用クロックを選択し、抽出クロック17としてクロック出力端子9に出力する。

【0032】図2は図1の位相比較回路の一例を示す詳細ブロック図である。

【0033】図2を参照すると、n個のD型フリップフロップ41-1~41-nのデータ入力(D)にはそれぞれn相クロック12-1~12-nが入力され、またクロック入力(C)には共通に受信データ11が入力されている。受信データ11の立ち上がりエッジに同期して、n相クロック12-1~12-nが各々のD型フリップフロップ41-1~41-nにラッチされ、ラッチ出力42-1~42-nとして符号化器43に出力される。

【0034】符号化器43はラッチ出力42-1~42-nを用いて、受信データ11の変化点の位相に対しほぼ180°の位相差を有するn相クロック12-1~12-nのクロック番号("1"~"n")を、クロック相情報14として符号化し出力する。

【0035】図3は図1の平均化回路の一例を示す詳細ブロック図である。

【0036】図3を参照すると、位相比較回路4から出

力されたクロック相情報14は、減算器21に入力される。記憶部24は受信データ11を入力するとともに加算器23が出力する加算結果の状態を維持し記憶出力28として数値演算部25に出力する。減算器21はクロック相情報14から記憶出力28を減算した減算出力26を重み付け部22に出力する。重み付け部22はm分の1 (mは整数) の操作を減算出力26に行ない重み付け出力27を加算器23に出力する。

【0037】加算器23は重み付け出力27と記憶出力28との加算を行ない、記憶出力28を補正した平均値を新たに記憶部24に記憶させる。

【0038】数値演算部25は記憶部24からの記憶出力28を整数に四捨五入して、クロック相情報14の平均値データ15として出力する。

【0039】次にタイムチャートを用いて、n相クロックを8相クロック (n=8) とし、重み付け部22の重み付け操作を1/4 (m=4) とした場合を例に、動作の詳細を説明する。

【0040】図4は図1の実施の形態の動作を示すタイムチャートである。

【0041】図4を参照すると、受信データ11の変化点の位相が8相クロック12-1~12-8のうち8相クロック12-2にはほぼ同期している場合において、データセクタ6とクロックセクタ7とが8相クロック12-6に対応してそれぞれが選択した選択データ16および抽出クロック17の位相関係を示している。

【0042】また、位相比較回路4と平均化回路5とによって、受信データ11のリタイミングを行なう上で位相マージンが最大にとれるクロックすなわち受信データ11の変化点の位相とほぼ180°の位相差を有するクロック番号(8相クロック12-6)を示すクロック相情報14("3")が導出される。

【0043】つまり、8相クロック12-6の立ち上がりエッジが受信データ11のほぼ中間に位置しているので位相的にマージンがあり安定である。

【0044】選択データ16として、このクロック相情報14("3")が指定する8相クロック12-6によってリタイミングされラッチしたサンプリングデータ13-6が、データセクタ6により選択される。

【0045】また、抽出クロック17として、リタイミングした8相クロック12-6がクロックセクタ7により選択される。

【0046】図5は図2の位相比較回路の動作を示すタイムチャートである。

【0047】図2および図5を参照しながら、D型フリップフロップ41-1~41-8に入力する8相クロック12-1~12-8を受信データ11の立ち上がりエッジでラッチすることにより、ラッチ出力42-1~42-8が得られる。これらのラッチ出力42-1~42-8は符号化器43により、受信データ11の変化点の

位相とほぼ180°の位相差を有するクロック番号(8相クロック12-6)を示すクロック相情報14(" - 3")に符号化される。

【0048】この符号化器43の符号化論理を表1に示*

| ラッチ出力 | | | | | | | | クロック相情報 14 | 8相 クロック |
|----------|----------|----------|----------|----------|----------|----------|----------|---------------|------------|
| 42 -1 | 42 -2 | 42 -3 | 42 -4 | 42 -5 | 42 -6 | 42 -7 | 42 -8 | | |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0(000) | 12-1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1(001) | 12-2 |
| 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 2(010) | 12-3 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 3(011) | 12-4 |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | -4(100) | 12-5 |
| 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | -3(101) | 12-6 |
| 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | -2(110) | 12-7 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | -1(111) | 12-8 |

【0050】符号化器43から出力されるクロック相情報14の値は、3ビット表示("000"~"111")により、8種類の8相クロック12-1~12-8とそれぞれ1対1にその対応が予め設定されている。

【0051】図5に示すように、受信データ11の立ち上がりエッジが8相クロック12-1の立ち上がりエッジと8相クロック12-2の立ち上がりエッジとの間にある場合、ラッチ出力42-1~42-8の値は、Highレベルを"1"、Lowレベルを"0"として、"10000111"になることが容易に解る。

【0052】表1から、ラッチ出力"10000111"に対応するクロック相情報14の値は"-3"でこれは3ビット表示(101)から6番目の8相クロック12-6を指定することになる。

【0053】また、受信データ11の立ち上がりエッジが8相クロック12-8の立ち上がりエッジと8相クロック12-1の立ち上がりエッジとの間にある場合、ラッチ出力42-1~42-8の値は、"00001111"となり、表1から、ラッチ出力"00001111"に対応するクロック相情報14の値は"-4"でこれは3ビット表示(100)から5番目の8相クロック12-5を指定することになる。

【0054】図6は図3の平均化回路の動作を示すタイムチャートである。

【0055】図6を参照すると、受信データ11と位相比較回路4から出力されるクロック相情報14が入力された場合の、平均化回路5の内部の状態を示している。

【0056】図3を参照しながら、入力されたクロック相情報14は記憶部24が記憶維持している記憶出力28と差分がとられ減算出力26として出力される。

【0057】減算出力26は1/4の重み付けがなされ

*す。
【0049】
【表1】

20 重み付け出力27として加算器23に出力される。加算器23では記憶部24が記憶維持している記憶出力28の値に重み付け出力27を加算し、この加算した値を受信データ11の立ち上がりエッジ毎に新規に記憶部24に記憶させる。この操作結果により、クロック相情報14の過去から最新の値の平均値が求められ記憶部24に記憶保持されることになる。記憶部24が出力する平均化された記憶出力28は数値演算部25で四捨五入された後に平均値データ15として出力される。

30 【0058】例えば、クロック相情報14の値が"-1"で、記憶出力28の値が"-3"の場合、減算出力26の値は"-1-(-3)=2"となる。重み付け出力27の値は、重み付けが1/4に設定されているので、"2/4=0.5"となる。

【0059】加算器23は重み付け出力27の値"0.5"と記憶出力28の値"-3"を加算した値"0.5+(-3)=-2.5"を記憶部24に新規に記憶する。

40 【0060】記憶部24が出力する平均化された記憶出力28の値"-2.5"は数値演算部25で四捨五入され平均値データ15の値"-3"が出力される。

【0061】次にクロック相情報14の値が"-4"になると、記憶出力28の値は前述の動作で新規に"-2.5"が記憶されているので、減算出力26の値は"-4-(-2.5)=-1.5"となる。重み付け出力27の値は、重み付けが1/4に設定されているので、"-1.5/4=-0.375"となる。

【0062】加算器23は重み付け出力27の値"-0.375"と記憶出力28の値"-2.5"を加算した値"-0.375+(-2.5)=-2.875"を記憶部24に新規に記憶する。

50

【0063】記憶部24が出力する平均化された記憶出力28の値 -2.875 は数値演算部25で四捨五入され平均値データ15の値 -3 が出力される。

【0064】上述の動作に続いて、クロック相情報14の値が -2 になると、記憶出力28の値は前述の動作で新規に -2.875 が記憶されているので、減算出力26の値は $-2 - (-2.875) = 0.875$ となる。重み付け出力27の値は、重み付けが $1/4$ に設定されているので、 $0.875/4 = 0.21875$ となる。

【0065】加算器23は重み付け出力27の値 0.21875 と記憶出力28の値 -2.875 を加算した値 $0.21875 + (-2.875) = -2.65625$ を記憶部24に新規に記憶する。

【0066】記憶部24が出力する平均化された記憶出力28の値 -2.65625 は数値演算部25で四捨五入され平均値データ15の値 -3 が出力される。

【0067】なお、位相比較回路4および平均化回路5の回路構成は上述の構成に限定されるものではなく、他の回路構成あるいはマイクロプロセッサ、メモリおよび周辺回路を備えたマイクロコンピュータを使用した回路構成も適用される。

【0068】

【発明の効果】以上説明したように、本発明のビット同期回路は、受信データと多相クロックとの位相比較結果を使用して位相同期をとることにより、抽出クロックのフィードバックループを無くすることができるので、位相同期過程での発振動作を除去できるという効果を有している。

【0069】また、位相比較結果を示すクロック相情報の過去から現在までの平均値を算出した平均値データを使用することにより、多相クロックの中から選択した抽出クロックおよび選択した受信データを出力することができるので、ジッタ等の位相変動を有する受信データ入力時の場合でも位相同期のとれた抽出クロックを得るとともに、リタイミング誤りのない受信データが得られるという効果を有している。

【図面の簡単な説明】

【図1】本発明のビット同期回路の一つの実施の形態を示すブロック図である。

【図2】図1の位相比較回路の一例を示す詳細ブロック図である。

【図3】図1の平均化回路の一例を示す詳細ブロック図である。

【図4】図1の実施の形態の動作を示すタイムチャートである。

【図5】図2の位相比較回路の動作を示すタイムチャートである。

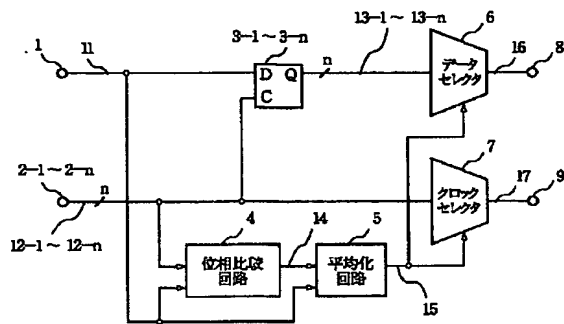
【図6】図3の平均化回路の動作を示すタイムチャートである。

【図7】従来のビット同期回路を示すブロック図である。

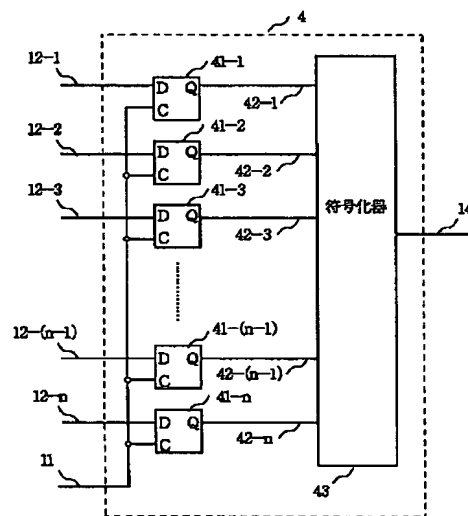
【符号の説明】

- 1 データ入力端子
- 2-1~2-n クロック入力端子
- 3-1~3-n D型フリップフロップ
- 4 位相比較回路
- 5 平均化回路
- 6 データセクタ
- 7 クロックセクタ
- 8 データ出力端子
- 9 クロック出力端子
- 11 受信データ
- 12-1~12-n n相クロック
- 13-1~13-n サンプリングデータ
- 14 クロック相情報
- 15 平均値データ
- 16 選択データ
- 17 抽出クロック
- 21 減算器
- 22 重み付け部
- 23 加算器
- 24 記憶部
- 25 数値演算部
- 26 減算出力
- 27 重み付け出力
- 28 記憶出力
- 41-1~41-n D型フリップフロップ
- 42-1~42-n ラッチ出力
- 43 符号化器
- 45 位相比較回路
- 46 アップダウンカウンタ
- 47 クロックセクタ
- 48 抽出クロック

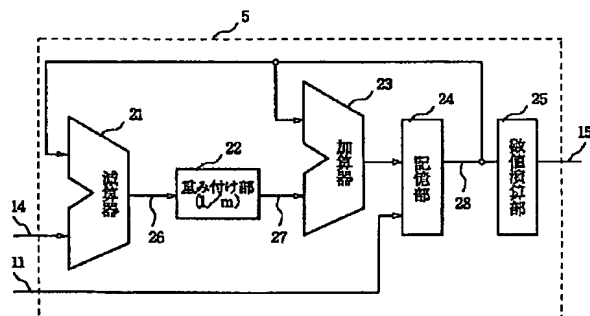
【図1】



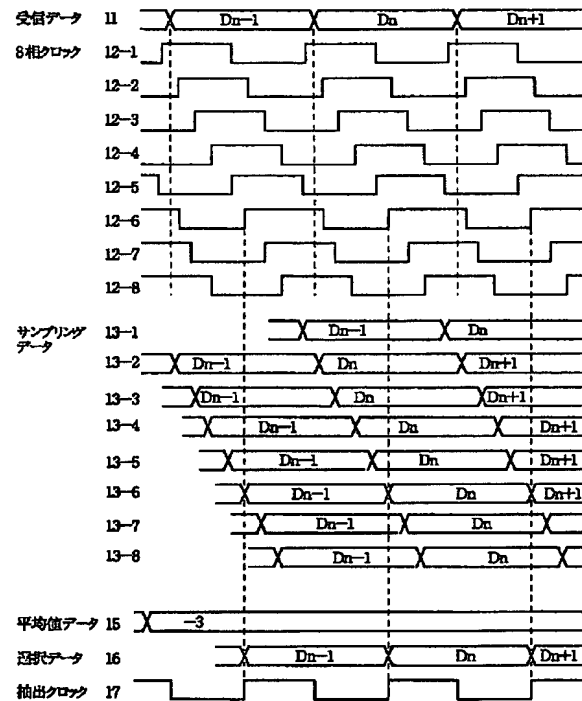
【図2】



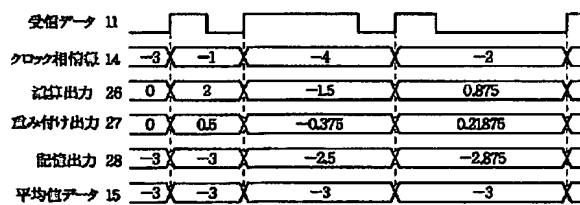
【図3】



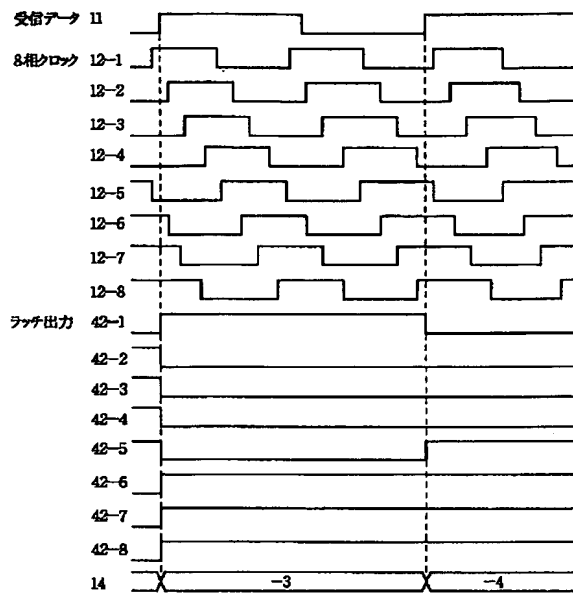
【図4】



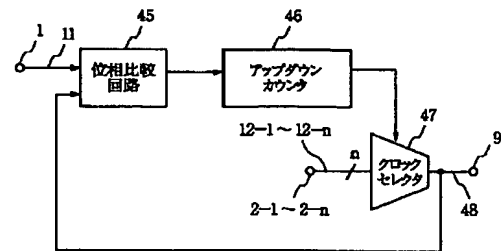
【図6】



【図5】



【図7】



フロントページの続き

(72)発明者 片山 富史
東京都港区芝浦三丁目18番21号 日本電気
エンジニアリング株式会社内